

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H01L 21/28

(11) 공개번호 특2000-0024999  
(43) 공개일자 2000년05월06일

(21) 출원번호 10-1998-0041862  
(22) 출원일자 1998년10월07일

(71) 출원인 삼성전자 주식회사 윤종용  
경기도 수원시 팔달구 매탄3동 416  
(72) 발명자 안중현  
경기도 수원시 팔달구 매탄3동 990번지 주공2차아파트 137동 401호  
이창훈  
경기도 부천시 원미구 중동 884 주공아파트 28동 110호  
(74) 대리인 권석흠, 이영필, 정상빈

심사청구: 있음

(54) 스트레스 완화 적층물을 구비하는 반도체장치및 그 제조방법B

요약

스트레스 완화 적층물을 구비하는 반도체 장치 및 그 제조방법이 개시되어 있다. 이에 따르면, 반도체 장치의 다층 구조물에서 선택된 어느 한 물질층, 예컨대 도전층의 표면에 흠이 형성되어 있다. 상기 흠의 표면은 중간에 변곡되는 부분이 없는 면, 예컨대 반 구면이나 반 타원체면이다. 상기 흠이 형성된 도전층이 받는 스트레스는 상기 도전층에 수직인 부분과 수평한 부분으로 분산된다. 따라서, 상기 도전층에 가해지는 수직방향의 스트레스가 감소되므로, 상기 스트레스로 인한 도전층의 크랙을 방지할 수 있고, 상기 도전층 아래의 물질층에 전달되는 스트레스도 줄일 수 있다. 뿐만 아니라, 상기 흠을 통해 상기 도전층과 상기 도전층 상에 형성된 상기 흠을 채우는 물질층간의 접촉면적이 넓어지므로, 상기 도전층과 상기 물질층간에 접착이 용이해진다.

대표도

도7

명세서

도면의 간단한 설명

도 1 및 도 2는 각각 종래 기술에 의한 기판 상에 다층 구조의 적층물을 구비하는 반도체 장치의 단면도 및 평면도이다.

도 3은 도 1의 반도체 장치에 있어서의 스트레스 작용방향을 나타낸 단면도이다.

도 4는 본 발명의 제1 실시예에 의한 스트레스 완화 적층물을 구비하는 반도체 장치의 단면도이다.

도 5 및 도 6은 본 발명의 제1 실시예에 의한 스트레스 완화 적층물을 구비하는 반도체 장치의 제조방법을 단계별로 나타낸 도면들이다.

도 7 및 도 8은 각각 본 발명의 제2 실시예에 의한 스트레스 완화 적층물을 구비하는 반도체 장치의 단면도 및 평면도이다.

도 9 내지 도 13은 본 발명의 제2 실시예에 의한 스트레스 완화 적층물을 구비하는 반도체 장치의 제조방법을 단계별로 나타낸 도면들이다.

도 14는 본 발명의 실시예에 의한 스트레스 완화 적층물을 구비하는 반도체 장치에 있어서의 스트레스 작용방향을 나타낸 단면도이다.

\*도면의 주요 부분에 대한 부호설명\*

40, 50:기판.

42:충간 절연막.

44, 44b:도전층, 도전층 패턴.

45:감광막 패턴.

46:홈(groove).

52, 60, 68:제1 내지 제3 도전층.

54, 62:제1 및 제2 홈.

56, 64:제1 및 제2 충간 절연막.

58, 66:제1 및 제2 비어홀.

70:스트레스 작용을 검증하기 위한 표본영역.

D, D1:도전층 패턴간의 간격, 홈의 폭.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

(1) 발명의 분야(Field of the Invention)

본 발명은 반도체 장치의 제조방법에 관한 것으로서, 자세하게는 스트레스 완화 적층물을 구비하는 반도체 장치 및 그 제조방법에 관한 것이다.

(2) 관련 기술의 설명(Description of the Related Art)

반도체 장치가 고집적화됨에 따라, 기판의 단위 면적당 반도체소자들의 밀도는 높아진다. 기판의 면적은 정해져 있으므로, 반도체 장치에서 반도체 소자의 밀도를 높이기 위해서는 반도체 소자들에게 할당되는 수평면적을 최소화하고, 상기 반도체 소자들에 요구되는 정상적인 동작이 가능해야한다. 이러한 요구에 따라, 상기 반도체 소자는 수직방향으로 그 영역이 확대된다. 이는 반도체 장치가 다층 구조를 갖는다는 것을 의미한다.

상기 다층 구조의 대표적인 예로 다층 패드막을 들 수 있다.

다층 패드막의 경우처럼, 다층으로 구성된 구조물은 단층 구조물보다 많은 스트레스 분포를 가지고 있다. 상기 스트레스에 대한 해석방법이 광범위하나, 그 접근이 어려운 실정이다. 또한, 다층 구조물은 구성하는 상, 하부 물질막들의 열팽창계수, 스트레스 및 밀도 등이 다르다. 따라서, 다층 구조물로 이루어진 막과 배선에는 잔류 스트레스가 존재하며 후속공정에서 열충격 및 열 스트레스를 받을 수 있다.

여기서, 종래 기술에 의한 다층 구조물과 그에 나타나는 스트레스 분포를 살펴본다.

도 1을 참조하면, 기판(10) 상에 제1 도전층(12)이 형성되어 있다. 상기 제1 도전층(12) 상에 제1 충간 절연막(14)이 형성되어 있다. 상기 제1 충간 절연막(14)에 상기 제1 도전층(12)이 노출되는 제1 비어홀(16)이 형성되어 있다. 상기 제1 충간 절연막(14) 상에 상기 제1 비어홀(16)을 채우는 제2 도전층(18)이 형성되어 있다. 상기 제2 도전층(18) 상에 제2 충간 절연막(20)이 형성되어 있다. 상기 제2 충간 절연막(20)에 상기 제2 도전층(18)이 노출되는 제2 비어홀(22)이 형성되어 있다. 상기 제2 충간 절연막(20) 상에 상기 제2 비어홀(22)을 채우는 제3 도전층(24)이 형성되어 있다.

한편, 도 2를 참조하면, 상기 제1 비어홀(16) 또는 제2 비어홀(22)이 점선으로 도시되어 있다. 상기 제1 및 제2 비어홀(16, 22)이 점선으로 도시된 것은 도 2가 상기 제3 도전층(24) 위에서 본 평면도이므로, 직접 노출되지 않고 상기 제3 도전층(24)을 통해서만 보이기 때문이다.

도 2를 1-1'방향을 따라 자른 단면이 도 1이다.

이와 같은 형태로 적층된 다층 구조에서 위로부터 아래의 어느 한 층에 가해지는 스트레스를 살펴보기 위해, 도 1에서 표본 영역(26)을 확대 도시한 도 3을 참조한다.

도 3을 참조하면, 제1 도전층(12) 위에 형성된 적층물들, 예컨대 상기 제1 충간 절연막(14), 제2 도전층(18), 제2 충간 절연막(20) 및 제3 도전층(24)으로부터 상기 제1 도전층(12)이 받는 스트레스(화살표 참조)는 상기 제1 도전층(12)의 표면에 수직하게 작용하는 것을 볼 수 있다.

이처럼, 종래 기술에 의한 기판 상에 다층 구조의 적층물을 구비하는 반도체 장치의 경우, 어느 한 하

부막질 위에 적층된 적층물에 의해, 상기 어느 한 하부막질이 받는 스트레스는 그 표면에 수직하게 작용한다. 따라서, 상기 하부막질 아래에 있는 다른 물질막에 상기 스트레스가 그대로 전달되어 상기 다른 물질막이 크랙(crack)되는 결과를 가져온다.

#### 발명이 이루고자하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 상술한 종래 기술이 갖는 문제점을 해소하기 위한 것으로서, 관심이 있는 물질막 상에 형성된 적층물로부터 가해지는 스트레스의 일부를 상기 물질막의 측 방향으로 향하게 하여 상기 물질막에 가해지는 스트레스를 약화시킴으로써 상기 물질막에 나타날 수 있는 부작용, 예컨대 크랙 등을 방지할 수 있는 기판 상에 다층 구조의 적층물을 구비하는 반도체 장치를 제공함에 있다.

본 발명이 이루고자하는 다른 기술적 과제는 상기 반도체 장치의 제조방법을 제공함에 있다.

#### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명은 기판 상에 층간 절연막이 형성되어 있고, 상기 층간 절연막 상에 도전층 패턴이 형성되어 있는 스트레스 완화 적층물을 구비하는 반도체 장치에 있어서,

상기 도전층 패턴에 상기 도전층 패턴 간의 간격보다 폭이 좁은 홈(groove)이 형성되어 있는 것을 특징으로 하는 스트레스 완화 적층물을 구비하는 반도체 장치를 제공한다.

여기서, 상기 홈의 내면은 반구면이나 반 타원체와 같이 중간에 변곡되는 부분이 없는 곡면이다.

상기 홈의 폭은 상기 도전층 패턴간의 간격의 1/2이하이다.

또한, 상기 기술적 과제를 달성하기 위해, 본 발명은 기판 상에 순차적으로 형성된 다층 도전층과 상기 다층 도전층 사이에 형성되어 있는 층간 절연막과 상기 층간 절연막에 상기 다층 도전층으로 채워진 비어홀이 형성된 스트레스 완화 적층물을 구비하는 반도체 장치에 있어서,

상기 다층 도전층의 상기 비어홀에 의해 노출되는 영역 사이에 상기 다층 도전층에 가해지는 스트레스를 분산시키기 위한 홈이 구비되어 있는 것을 특징으로 하는 스트레스 완화 적층물을 구비하는 반도체 장치를 제공한다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 다음과 같은 스트레스 완화 적층물을 구비하는 반도체 장치의 제조방법을 제공한다.

(a) 기판 상에 층간 절연막을 형성한다. (b) 상기 층간 절연막 상에 상기 기판과 연결되는 제1 도전층을 형성한다. (c) 상기 제1 도전층에 제1 홈을 형성한다.

이 과정에서, (c) 단계 이후에,

(d) 상기 제1 도전층 상에 상기 제1 홈을 채우는 제1 층간 절연막을 형성한다. (e) 상기 제1 층간 절연막에 상기 제1 홈 사이의 상기 제1 도전층이 노출되는 제1 비어홀을 형성한다. (f) 상기 제1 층간 절연막 상에 상기 제1 비어홀을 채우는 제2 도전층을 형성한다. (g) 상기 제2 도전층에 제2 홈을 형성한다. (h) 상기 제2 도전층 상에 상기 제2 홈을 채우는 제2 층간 절연막을 형성한다. (i) 상기 제2 층간 절연막에 상기 제2 홈 사이의 상기 제2 도전층이 노출되는 제2 비어홀을 형성한다. (j) 상기 제2 층간 절연막 상에 상기 제2 비어홀을 채우는 제3 도전층을 형성한다.

또한, 상기 다른 기술적과제를 달성하기 위하여, 본 발명은 다음과 같은 스트레스 완화 적층물을 구비하는 반도체 장치의 제조방법을 제공한다.

즉, (a) 기판 상에 층간 절연막을 형성한다. (b) 상기 층간 절연막에 상기 기판과 연결되는 도전층을 형성한다. (c) 상기 도전층을 소정 간격의 도전층 패턴으로 패턴화하면서 상기 도전층 패턴 상에 상기 도전층 패턴의 간격보다 폭이 작은 홈을 형성한다.

상기 도전층 패턴과 상기 홈을 형성하기 위한 마스크 패턴을 제작하는 과정에서 상기 도전층 패턴의 형성에 적용된 디자인 룰의 1/2이하의 디자인 룰이 상기 홈을 형성하는데 적용된다. 따라서, 상기 홈의 폭은 상기 도전층 패턴간의 간격의 1/2보다 작다.

본 발명은 다층 구조물의 선택된 어느 한 물질층, 예컨대 도전층의 표면에 홈이 형성되어 있는 반도체 장치 및 제조방법을 제공한다. 상기 홈의 표면은 중간에 변곡되는 부분이 없는 면, 예컨대 반 구면이나 반 타원체면이다. 상기 홈이 형성된 도전층이 받는 스트레스는 상기 도전층에 수직한 부분과 수평한 부분으로 분산된다. 따라서, 상기 도전층에 가해지는 수직방향의 스트레스가 감소되므로, 상기 스트레스로 인한 도전층의 크랙을 방지할 수 있고, 상기 도전층 아래의 물질층에 전달되는 스트레스도 줄일 수 있다.

다. 뿐만 아니라, 상기 홈을 통해 상기 도전층과 상기 도전층 상에 형성된 상기 홈을 채우는 물질층간의 접착면적이 넓어지므로, 상기 도전층과 상기 물질층간에 접착이 용이해진다.

이하, 본 발명의 실시예에 의한 기판 상에 다층 구조의 적층물을 구비하는 반도체 장치 및 그 제조방법을 첨부된 도면들을 참조하여 상세하게 설명한다.

그러나 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들에 한정되는 것으로 해석되어서는 안된다. 본 발명의 실시예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 도면에서 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되어진 것이다. 도면상에서 동일한 부호는 동일한 요소를 지칭한다. 또한, 어떤 층이 다른 층 또는 기판의 '상부'에 있다고 기재된 경우, 상기 어떤 층이 상기 다른 층 또는 기판의 상부에 직접 존재할 수도 있고 그 사이에 제3의 층이 개재되어 질 수도 있다.

첨부된 도면들 중, 도 4는 본 발명의 제1 실시예에 의한 스트레스 완화 적층물을 구비하는 반도체 장치의 단면도이고,

도 5 및 도 6은 본 발명의 제1 실시예에 의한 스트레스 완화 적층물을 구비하는 반도체 장치의 제조방법을 단계별로 나타낸 도면들이며,

도 7 및 도 8은 각각 본 발명의 제2 실시예에 의한 스트레스 완화 적층물을 구비하는 반도체 장치의 단면도 및 평면도이다.

그리고 도 9 내지 도 13은 본 발명의 제2 실시예에 의한 스트레스 완화 적층물을 구비하는 반도체 장치의 제조방법을 단계별로 나타낸 도면들이고,

도 14는 본 발명의 실시예에 의한 스트레스 완화 적층물을 구비하는 반도체 장치에 있어서의 스트레스 작용방향을 나타낸 단면도이다.

먼저, 본 발명의 제1 실시예에 의한 기판 상에 다층 구조의 적층물을 구비하는 반도체 장치를 설명한다. 그 제조방법을 설명한다.

도 4를 참조하면, 기판(40) 상에 층간 절연막(42)이 형성되어 있다. 상기 기판(40)은 도전성 기판, 예컨대 반도체 기판이다. 상기 층간 절연막(42) 상에 도전층 패턴(44b)이 형성되어 있다. 상기 도전층 패턴(44b)은 서로 소정 간격 이격되어 있다. 상기 도전층 패턴(44b) 상에 홈(groove, 46)이 형성되어 있다. 상기 홈(46)의 폭(D1)은 상기 도전층 패턴(44b)의 폭(D)보다 좁다. 도면에 도시하지는 않았지만, 상기 도전층 패턴(44b)은 상기 층간 절연막(42)에 형성된 콘택홀을 통해 상기 기판(40)에 연결되어 있다. 바람직하게는, 상기 도전층은 알루미늄층이다. 상기 도전층 패턴(44b) 상에 상기 홈(46)을 채우는 물질층이 더 있을 수 있다. 따라서, 상기 도전층 패턴(44b)은 상기 물질층으로 받는 기계적 스트레스와 상기 물질층을 형성하는 과정에서 가해지는 열 팽창계수 차이에 의한 열적 스트레스를 받게 된다. 이러한 스트레스에 의해 상기 도전층 패턴(44b)은 심한 로드를 받게 된다. 상기 홈(46)은 상기 도전층 패턴(44b)에 수직으로 가해지는 스트레스를 분산하여 상기 스트레스에 의한 상기 도전층 패턴(44b)의 로드를 감소시키기 위해 형성된 것이다. 따라서, 상기 홈(46)은 상기 도전층 패턴(44b)의 표면과 수직하게 만나는 평면을 갖는 것보다 곡면을 갖는 것이 바람직하다. 예를 들면, 상기 홈(46)은 가운데 부분에서 가장 깊고, 가장자리로 갈수록 점점 얕아지는 깊이 분포를 갖는 곡면 프로파일을 갖는 것이 바람직하다. 이와 같은 깊이 분포를 갖기 위해 상기 홈(46)의 단면은 반원 또는 반 타원인 것이 가장 바람직하다. 이렇게 되면, 상기 도전층 패턴(44b)에 가해지는 스트레스는 상기 도전층 패턴(44b)의 표면에 수직한 성분과 수평한 성분으로 나누어진다. 이 결과, 상기 도전층 패턴(44b)에 수직으로 가해지는 스트레스 성분이 감소되어 상기 도전층 패턴(44b)이 받는 스트레스 로드가 줄어든다.

다음에는 상기 제1 실시예에 의한 스트레스 완화 적층물을 구비하는 반도체 장치의 제조방법을 설명한다.

도 5를 참조하면, 기판(40) 상에 층간 절연막(42)을 형성한다. 상기 기판(40)은 도전성 기판, 예컨대 반도체 기판으로 형성하는 것이 바람직하다. 상기 층간 절연막(42) 상에 상기 기판(40)과 연결되는 도전층(44)을 형성한다. 상기 도전층(44)은 알루미늄층으로 형성하는 것이 바람직하다. 상기 도전층(44) 상에 감광막(미도시)을 도포한다. 상기 감광막을 패터닝하여 상기 도전층(44)의 제1 영역(44a) 및 상기 도전층(44)의 상기 제1 영역(44a) 사이의 제2 영역(44c)이 노출되는 감광막 패턴(45)을 형성한다. 상기 제1 영역(44a)은 후속 식각공정에서 제거되는 영역이다. 하지만, 상기 제2 영역(44c)은 상부의 일부 영역만 제거된다. 이러한 결과는 상기 제1 영역(44a)이 노출되는 상기 감광막 패턴(45) 사이의 간격(D)이 상기 제2 영역(44c)을 노출시키는 상기 감광막 패턴(45) 사이의 간격(D1)보다 넓게 설정되기 때문이다.

다시말하면, 상기 감광막 패턴(45)을 형성하는데 있어서, 상기 제2 영역(44c)을 노출시키기 위해 적층

한 디자인 룰은 상기 제1 영역(44a)을 노출시키기 위해 적용한 디자인 룰의 1/2 이하이다. 상기 제1 영역(44a)을 노출시키기 위해 적용한 디자인 룰은 후속 식각공정에서 상기 도전층(44)의 상기 제1 영역(44a)을 완전히 제거할 수 있는 최소의 디자인 룰이 적용된다. 따라서, 후속 식각공정에서 상기 도전층(44)의 제2 영역(44c)은 완전히 제거되지 않고 상부 일부만 제거된다.

이를 확인하기 위해, 상기 감광막 패턴(45)을 식각마스크로 사용하여 상기 도전층(44)의 노출된 전면을 이방성식각한다. 상기 이방성식각은 상기 층간 절연막(42)이 노출될 때 까지 실시한다. 이 결과, 도 6에 도시한 바와 같이, 상기 도전층(44)의 제1 영역(44a)이 완전히 제거되어 상기 층간 절연막(42)이 노출되고 상호 간격이 'D'인 도전층 패턴(44b)이 형성된다. 하지만, 상기 제2 영역(44c)에는 상기한 이유로 인해 상부의 일부 영역이 제거된 홈(46)이 형성된다.

상기한 바와 같이, 상기 홈(46)은 상기 도전층 패턴(44b)에 가해지는 스트레스를 여러 방향으로 분산시켜 상기 도전층 패턴(44b)에 가해지는 스트레스 로드를 줄이기 위해 형성한다. 따라서, 상기 홈(46)은 가운데에서 가장 깊고 가장자리로 갈수록 얇은 깊이분포를 갖도록 형성하는 것이 바람직하다. 이러한 깊이 분포를 갖기 위해, 상기 홈(46)은 그 내면이 반 구면이나 반 타원체처럼 중간에 변곡점이 없는 매끄러운 면이 되도록 형성되는 것이 가장 바람직하다. 따라서, 상기 홈(46)의 단면은 반 원 또는 반 타원과 유사한 프로파일이다.

상기 본 발명의 제1 실시예는 도전층 패턴 상에 홈을 형성함으로써 도전층 패턴에 가해지는 스트레스 로드를 감소시킬 수 있다는 개념의 발명을 층간 절연막 상에 형성된 단순한 도전층 패턴에 적용한 실시예이다.

다음에는 상기 개념을 다층 패드에 적용한 본 발명의 제2 실시예에 의한 스트레스 완화 적층물을 구비하는 반도체 장치 및 그 제조방법을 설명한다.

도 7을 참조하면, 본 발명의 제2 실시예에 의한 스트레스 완화 적층물을 구비하는 반도체 장치는 기판(50) 상에 제1 도전층(52)이 형성되어 있다. 상기 제1 도전층(52)은 알루미늄층인 것이 바람직하다. 또한, 상기 기판(50)은 절연성 기판이다. 도시하지는 않았지만, 상기 기판(50) 아래에 도전성 물질층이 형성되어 있다.

상기 제1 도전층(52) 상에 제1 홈(54)이 형성되어 있다. 상기 제1 홈(54)은 상기 제1 도전층(52)의 정해진 영역에 형성되어 있다. 상기 제1 도전층(52) 상에 상기 제1 홈(54)을 채우는 제1 층간 절연막(56)이 형성되어 있다. 상기 제1 층간 절연막(56)은 실리콘 산화막이다. 상기 제1 층간 절연막(56)에 상기 제1 홈(54)사이의 상기 제1 도전층(52)을 노출시키는 제1 비어홀(via hole)(58)이 형성되어 있다. 상기 제1 층간 절연막(56) 상에 상기 제1 비어홀(58)을 채우는 제2 도전층(60)이 형성되어 있다. 상기 제1 도전층(60)은 상기 제1 도전층(52)과 동일한 물질로 구성되는 것이 바람직하나 다른 도전성 물질로 구성되어도 무방하다. 상기 제2 도전층(60)에 제2 홈(62)이 형성되어 있다. 상기 제2 도전층(60)의 상기 제2 홈(62)이 형성된 부분을 제외하곤 평평하다. 상기 제2 홈(62)은 상기 제1 홈(54)에 대응하는 위치에 형성되어 있다. 하지만, 상기 제2 홈(62)은 상기 제2 도전층(60)의 어느 위치에 형성되어 있어도 무방하다. 상기 제2 도전층(60) 상에 제2 층간 절연막(64)이 형성되어 있다. 상기 제2 층간 절연막(64)은 상기 제1 층간 절연막(56)과 동일한 절연성 물질로 구성되는 것이 바람직하나 다른 절연성 물질로 구성되어도 무방하다. 상기 제2 층간 절연막(64)에 상기 제2 도전층(60)이 노출되는 제2 비어홀(66)이 형성되어 있다. 상기 제2 비어홀(66)은 상기 제2 홈(62)사이의 제2 도전층(60)이 노출되도록 형성되어 있다. 상기 제2 비어홀(66)이 상기 제1 비어홀(58)의 위쪽에 형성되어 있다. 하지만, 상기 제2 비어홀(66)은 상기 제2 홈(62)사이의 어느 위치에나 있을 수 있다.

예를 들면, 상기 제2 비어홀(66)에 의해 상기 제2 도전층(60)이 노출되는 부분과 상기 제2 홈(62)이 형성된 위치가 바뀔 수도 있다. 상기 제2 비어홀(66)에 의해 상기 제2 홈(62)이 형성된 영역을 제외한 상기 제2 도전층(60)의 어느 영역이 노출되어도 무방하다. 이러한 사실은 상기 제1 비어홀(58)의 경우에도 그대로 적용될 수 있다.

계속해서, 상기 제2 층간 절연막(64) 상에 상기 제2 비어홀(66)을 채우는 제3 도전층(68)이 형성되어 있다. 상기 제3 도전층(68)은 상기 제1 및 제2 도전층(52, 60)과 동일한 도전성 물질로 구성되어 있으나, 다른 도전성 물질로 구성할 수도 있다. 상기 제3 도전층(68)의 표면은 평탄화 되어 있다. 필요할 경우, 상기 제3 도전층(68)에 제3의 홈을 형성한 후, 상기 제3 도전층(68)이 노출되는 제3의 비어홀을 갖는 제3의 층간 절연막이 더 형성되어 있을 수 있다. 그리고, 상기 제3의 층간 절연막 상에 상기 제3의 비어홀을 채우는 제4의 도전층이 형성되어 있을 수 있다.

이와 같이, 도 7에 도시한 다층 패드를 구성하는 도전층과 층간 절연막의 수는 형성하고자 하는 반도체 장치와 그 용도에 따라 가감될 수 있다.

한편, 도 8을 참조하면, 상기 제1 및 제2 홈(54, 62)은 소정의 길이를 갖고 있음을 알 수 있다. 또한, 상기

제1 홈(54)과 상기 제2 홈(62)이 형성되어 있는 각 도전층에서 상기 각 홈들은 바둑판식으로 서로 수직으로 교차하는 형태로 형성되어 있다. 상기 각 홈들이 수직으로 교차되어 만들어지는 영역이 상기 제1 비어홀(58)이나 제2 비어홀(66)을 통해서 노출된다. 이에 따라, 상기 제1 홈(54) 또는 제2 홈(62)이 형성되어 있는 도전층에 상기 제1 비어홀(58) 또는 제2 비어홀(66)은 정방향으로 배열되어 있다.

도 8은 상기 제3 도전층(68)이 형성된 결과물을 위에서 본 도면이다. 그리고 도 7은 도 8을 7-7'방향을 따라 자른 단면도이다. 도 8에서 상기 제1 및 제2 홈(54, 62)과 상기 제1 및 제2 비어홀(58, 66)을 모두 점선으로 도시한 것은 상기 제3 도전층(68) 아래에 형성되어 있어 직접 노출되지 않음을 의미한다.

이어서, 상술한 바와 같은 구성을 갖는 본 발명의 제2 실시예에 의한 스트레스 완화 적층물을 구비하는 반도체 장치의 제조방법을 상세하게 설명한다.

도 9의 (a)도 및 (b)도는 각각 제1 홈(54)을 형성하는 단계를 나타내는 단면도 및 평면도로서, (a)도는 (b)도를 9-9'방향을 따라 자른 단면도이다. 도 10 내지 도 13도 마찬가지이다.

도 9의 (a)도를 참조하면, 기판(50) 상에 제1 도전층(52)을 형성한다. 상기 제1 도전층(52)에 제1 홈(54)을 형성한다. 상기 제1 홈(54)은 상기 본 발명의 제1 실시예에서 설명한 조건의 디자인 룰을 적용한 사진식각공정으로 형성한다. 상기 제1 홈(54)은 상기 제1 도전층(52)에 가해지는 스트레스를 효과적으로 분산시키기 위해 중간에 변곡점이 없는 반 구면이나 반 타원체와 같은 내면을 갖도록 형성하는 것이 바람직하다. 이 경우, 상기 제1 홈(54)의 단면 프로파일은 (a)도에 도시한 바와 같이 반원이나 반타원이 된다.

도 9의 (b)도에 도시한 바와 같이, 상기 제1 도전층(52)에 서로 수직하게 교차되는 복수개의 상기 제1 홈(54)이 형성된다. 이와 같이, 상기 제1 홈(54)은 상기 제1 도전층(52)에 바둑판식으로 형성된다.

도 10의 (a)도를 참조하면, 상기 제1 도전층(52) 상에 상기 제1 홈(54)을 채우는 제1 층간 절연막(56)이 형성된다. 상기 제1 층간 절연막(56)에 상기 제1 도전층(52)이 노출되는 제1 비어홀(58)이 형성된다. 상기 제1 비어홀(58)은 도 10의 (b)에 도시한 바와 같이, 상기 제1 도전층(52)의 상기 제1 홈(54)이 형성되지 않은 영역이 노출되도록 형성되는 것이 바람직하다. 가장 바람직하게는, 상기 제1 도전층(52)의 상기 제1 홈(54)에 의해 구획되어지는 영역의 중앙이 노출되도록 상기 제1 비어홀(58)이 형성되는 것이다. 따라서, 상기 제1 비어홀(58)이 정방향으로 배열되도록 형성되는 것이 바람직하다.

도 11의 (a)도를 참조하면, 상기 제1 층간 절연막(56) 상에 상기 제1 비어홀(58)을 채우는 제2 도전층(60)이 형성된다. 그리고, 상기 제2 도전층(60)에 상기 제1 홈(54)을 형성할 때와 동일한 방식을 따라 제2 홈(62)이 형성된다. 상기 제2 도전층(60)에서 상기 제2 홈(62)이 상기 제1 홈(54)의 바로 위에 대응하는 위치에 형성된다. 하지만, 상기 제2 홈(62)이 상기 제1 비어홀(58) 바로 위에 대응하는 위치에 형성되어도 무방하다. 곧, 상기 제2 홈(62)이 상기 제2 도전층(60)의 어느 위치에 형성되어도 무방하다.

도 11의 (b)도를 참조하면, 상기 제2 홈(62)도 상기 제1 홈(54)과 마찬가지로 서로 수직하게 교차되도록 형성됨을 알 수 있다.

도 12의 (a)도를 참조하면, 상기 제2 도전층(60) 상에 상기 제2 홈(62)을 채우는 제2 층간 절연막(64)이 형성된다. 상기 제2 도전층(60)이 노출되는 제2 비어홀(66)이 상기 제2 층간 절연막(64)에 형성된다. 상기 제2 비어홀(66)에 의해 노출되는 부분은 상기 제2 도전층(60)에서 상기 제2 홈(62)이 형성되지 않은 부분이다. 구체적으로, 상기 제2 도전층(60)에서 상기 제1 비어홀(58) 바로 위에 해당하는 부분이 상기 제2 비어홀(66)을 통해서 노출된다. 이것은 상기 제1 및 제2 비어홀(58, 66)이 상, 하로 나란히 형성됨을 의미한다. 하지만, 상기 제2 도전층(60)에서 상기 제2 비어홀(66)을 통해서 노출되는 부분이 상기 제1 비어홀(58) 윗 부분일 필요는 없다. 상기 제2 홈(62)이 상기 제1 비어홀(58) 바로 위에 있는 제2 도전층(60)에 형성될 수도 있고, 상기 제2 비어홀(66)을 통해 상기 제2 홈(62)이 형성되었던 영역이 노출될 수도 있다.

도 13의 (a)도를 참조하면, 상기 제2 층간 절연막(64) 상에 상기 제2 비어홀(66)을 채우는 제3 도전층(68)이 형성된다. 이어서, 상기 제3 도전층(68)의 전면을 평탄화한다. 상기 제3 도전층(68)은 상기 제1 도전층(52)이나 상기 제2 도전층(60)과 동일한 물질층으로 형성하는 것이 바람직하다.

이와 같이, 본 발명의 제2 실시예는 다층 패드를 형성하는데 있어서, 다층 패드를 구성하는 순차적으로 적층된 각 도전층의 표면에 홈을 형성하여 도전층에 가해지는 한방향의 스트레스를 여러 방향, 예컨대 상기 도전층 표면에 수직한 방향과 수평한 방향으로 분산시킨다. 이 결과, 상기 다층 패드를 구성하는 도전층에 가해지는 스트레스에 의한 로드를 줄여서 도전층이 크랙되는 것을 방지할 수 있다. 이러한 결과에 따라, 크랙이 없는 넓은 영역을 갖는 다층 패드를 구현하는 것이 가능해진다.

도전층에 형성되는 홈에 의한 스트레스 분산 효과를 알아보기 위해 도 13의 (a)도에서 상기 제1 도전층(52)의 상기 제1 홈(54)을 포함하는 표면영역(70)에 가해지는 스트레스 분포를 나타내는 도 14를 참조한다.

구체적으로, 상기 제1 도전층(52)에서 홈(54)에 가해지는 스트레스와 상기 홈(54) 주위의 평평한 부분에 가해

지는 스트레스의 분산정도가 다른 것을 알 수 있다. 상기 제1 도전층(52)의 평평한 표면에 수직하게 가해지는 스트레스는 상기 제1 도전층(52) 뿐만 아니라 그 아래에 형성된 물질층에도 그대로 전달된다.

그러나, 상기 제1 도전층(52)의 홈(54)에 가해지는 스트레스는 상기 홈(54) 표면의 기하학적 형태에 따라 상기 제1 도전층(52)의 표면에 수직한 방향과 수평한 방향으로 분산된다. 이와 같이, 상기 제1 도전층(52)에 상기 홈(54)이 형성됨으로써 상기 제1 도전층(52)의 표면에 수직한 스트레스 및 상기 제1 도전층(52) 아래에 형성된 물질층에 전달되는 스트레스를 줄일 수 있다.

와이어 본딩시, 다층 패드가 받게 되는 기계적 스트레스도 상기 다층 패드를 구성하는 도전층에 홈을 형성함으로써 여러 방향으로 분산시킬 수 있다. 따라서, 상기 기계적 스트레스로 인해 다층 패드가 크랙되는 것을 방지할 수 있다.

상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기 보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예를 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 상기한 홈의 형태와 그 배열 형태를 다르게 하거나 상기 홈과 상기 비어 홈사이의 배열 관계, 상기 홈의 배열에 의해 구획되는 영역에 형성되는 비어홈의 수를 한 개 이상 형성하는 등, 상술한 본 발명의 실시예와 다른 변형된 실시예를 구현할 수 있음이 명백하다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

#### 발명의 효과

상술한 바와 같이, 반도체 장치의 다층 구조물에서 선택된 어느 한 물질층, 예컨대 도전층의 표면에 홈이 형성되어 있다. 상기 홈의 표면은 중간에 변곡되는 부분이 없는 면, 예컨대 반 구면이나 반 타원체면이다. 상기 홈이 형성된 도전층이 받는 스트레스는 상기 도전층에 수직한 부분과 수평한 부분으로 분산된다. 따라서, 상기 도전층에 가해지는 수직방향의 스트레스가 감소되므로, 상기 스트레스로 인한 도전층의 크랙을 방지할 수 있고, 상기 도전층 아래의 물질층에 전달되는 스트레스도 줄일 수 있다. 뿐만 아니라, 상기 홈을 통해, 상기 도전층과 상기 도전층 상에 형성된 상기 홈을 채우는 물질층간의 접촉면적이 넓어지므로, 상기 도전층과 상기 물질층간에 접착이 용이해진다.

#### (57) 청구의 범위

##### 청구항 1

기판 상에 층간 절연막이 형성되어 있고, 상기 층간 절연막 상에 도전층 패턴이 형성되어 있는 스트레스 완화 적층물을 구비하는 반도체 장치에 있어서,

상기 도전층 패턴에 상기 도전층 패턴 간의 간격보다 폭이 좁은 홈(groove)이 형성되어 있는 것을 특징으로 하는 스트레스 완화 적층물을 구비하는 반도체 장치.

##### 청구항 2

제 1 항에 있어서, 상기 홈은 반구면이나 반 타원체와 같이 중간에 변곡되는 부분이 없는 면을 갖는 것을 특징으로 하는 스트레스 완화 적층물을 구비하는 반도체 장치.

##### 청구항 3

제 1 항에 있어서, 상기 홈의 폭은 상기 도전층 패턴간의 간격의 1/2이하인 것을 특징으로 하는 스트레스 완화 적층물을 구비하는 반도체 장치.

##### 청구항 4

기판 상에 순차적으로 형성된 다층 도전층과 상기 다층 도전층 사이에 형성되어 있는 층간 절연막과 상기 층간 절연막에 상기 다층 도전층으로 채워진 비어홀이 형성된 스트레스 완화 적층물을 구비하는 반도체 장치에 있어서,

상기 다층 도전층의 상기 비어홀에 의해 노출되는 영역 사이에 상기 다층 도전층에 가해지는 스트레스를 분산시키기 위한 홈이 구비되어 있는 것을 특징으로 하는 스트레스 완화 적층물을 구비하는 반도체 장치.

##### 청구항 5

제 4 항에 있어서, 상기 홈의 내면은 반구면이나 반 타원체와 같이 중간에 변곡되는 부분이 없는 곡면인 것을 특징으로 하는 스트레스 완화 적층물을 구비하는 반도체 장치.



청구항 6

- (a) 기판 상에 층간 절연막을 형성하는 단계;
- (b) 상기 층간 절연막 상에 상기 기판과 연결되는 제1 도전층을 형성하는 단계; 및
- (c) 상기 제1 도전층에 제1 홈을 형성하는 단계를 포함하는 것을 특징으로 하는 스트레스 완화 적층물을 구비하는 반도체 장치의 제조방법.

청구항 7

제 6 항에 있어서, 상기 (c) 단계 이후에,

- (d) 상기 제1 도전층 상에 상기 제1 홈을 채우는 제1 층간 절연막을 형성하는 단계;
- (e) 상기 제1 층간 절연막에 상기 제1 홈 사이의 상기 제1 도전층이 노출되는 제1 비어홀을 형성하는 단계;
- (f) 상기 제1 층간 절연막 상에 상기 제1 비어홀을 채우는 제2 도전층을 형성하는 단계;
- (g) 상기 제2 도전층에 제2 홈을 형성하는 단계;
- (h) 상기 제2 도전층 상에 상기 제2 홈을 채우는 제2 층간 절연막을 형성하는 단계;
- (i) 상기 제2 층간 절연막에 상기 제2 홈 사이의 상기 제2 도전층이 노출되는 제2 비어홀을 형성하는 단계; 및
- (j) 상기 제2 층간 절연막 상에 상기 제2 비어홀을 채우는 제3 도전층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 스트레스 완화 적층물을 구비하는 반도체 장치의 제조방법.

청구항 8

제 7 항에 있어서, 상기 홈의 내면은 반구면이나 반 타원체와 같이 중간에 변곡되는 부분이 없는 곡면인 것을 특징으로 하는 스트레스 완화 적층물을 구비하는 반도체 장치의 제조방법.

청구항 9

기판 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막에 상기 기판과 연결되는 도전층을 형성하는 단계; 및

상기 도전층을 소정 간격의 도전층 패턴으로 패터닝하면서 상기 도전층 패턴 상에 상기 도전층 패턴의 간격보다 폭이 작은 홈을 형성하는 것을 특징으로 하는 스트레스 완화 적층물을 구비하는 반도체 장치의 제조방법.

청구항 10

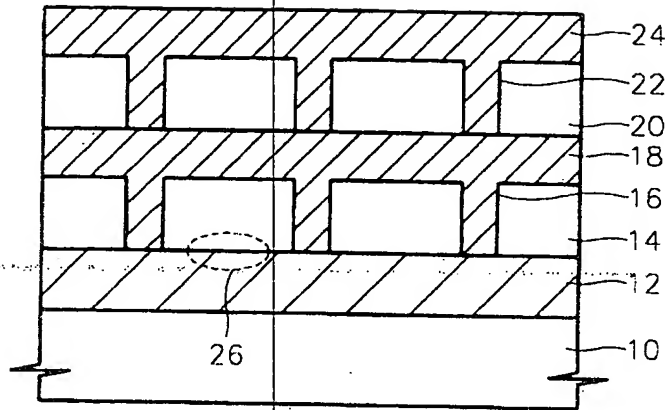
제 9 항에 있어서, 상기 홈의 내면은 반구면이나 반 타원체와 같이 중간에 변곡되는 부분이 없는 곡면인 것을 특징으로 하는 스트레스 완화 적층물을 구비하는 반도체 장치의 제조방법.

청구항 11

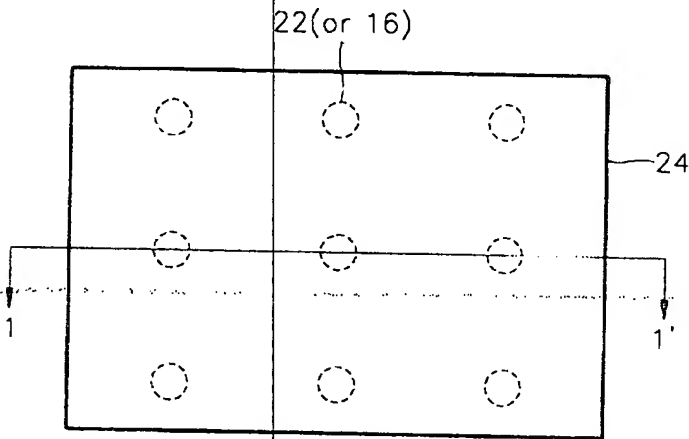
제 9 항에 있어서, 상기 홈은 상기 도전층 패턴의 형성에 적용된 디자인 룰의 1/2이하의 디자인 룰이 적용되어 형성되는 것을 특징으로 하는 스트레스 완화 적층물을 구비하는 반도체 장치의 제조방법.

도면

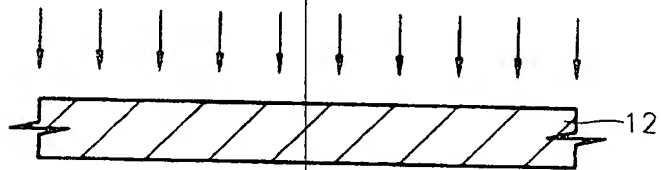
도면1



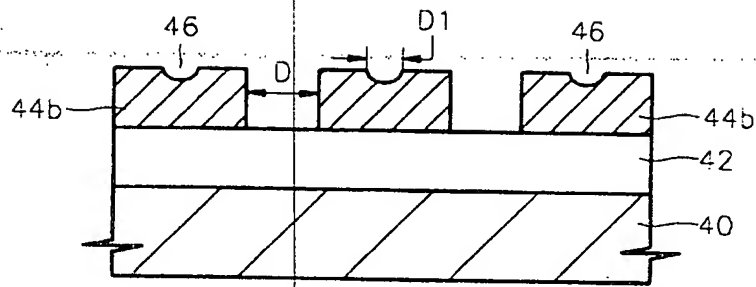
도면2



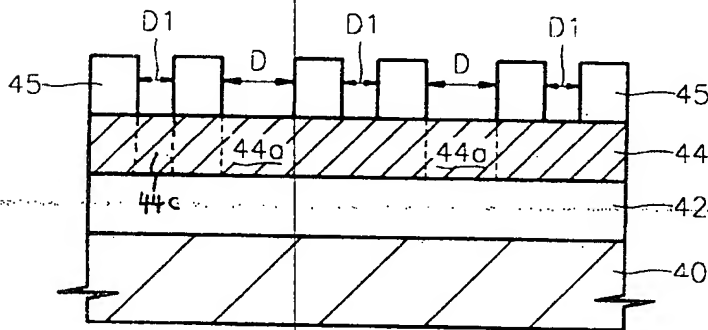
도면3



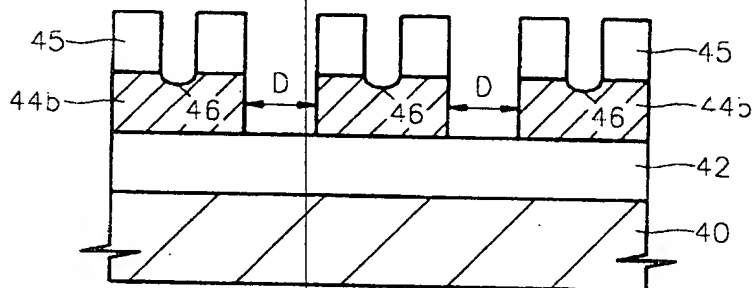
도면4



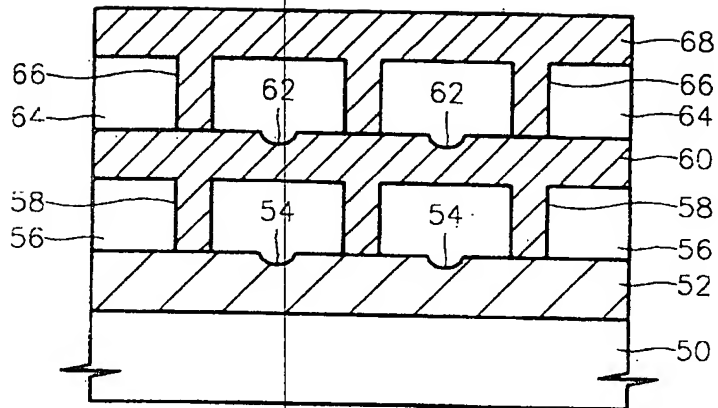
도면5



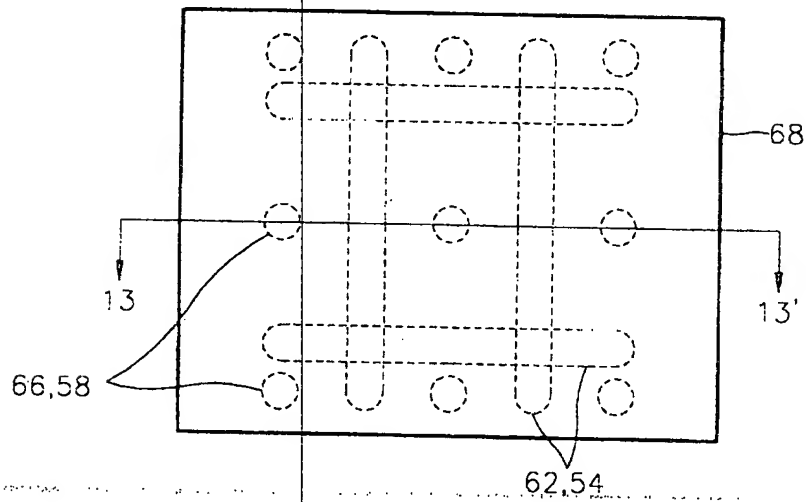
도면6



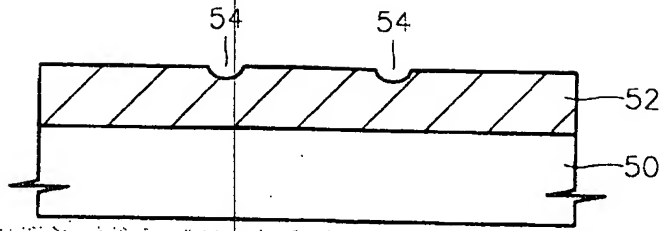
도면7



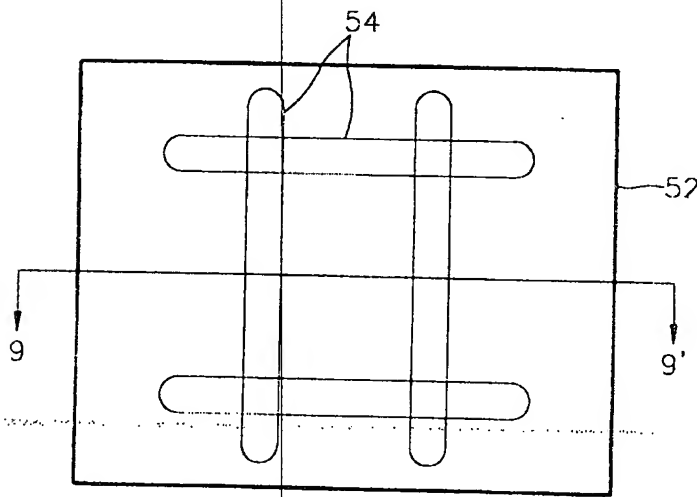
도면8



도면9

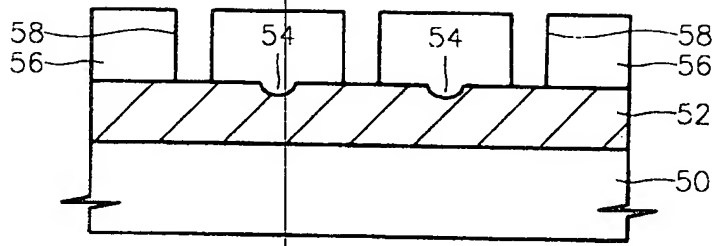


(a)

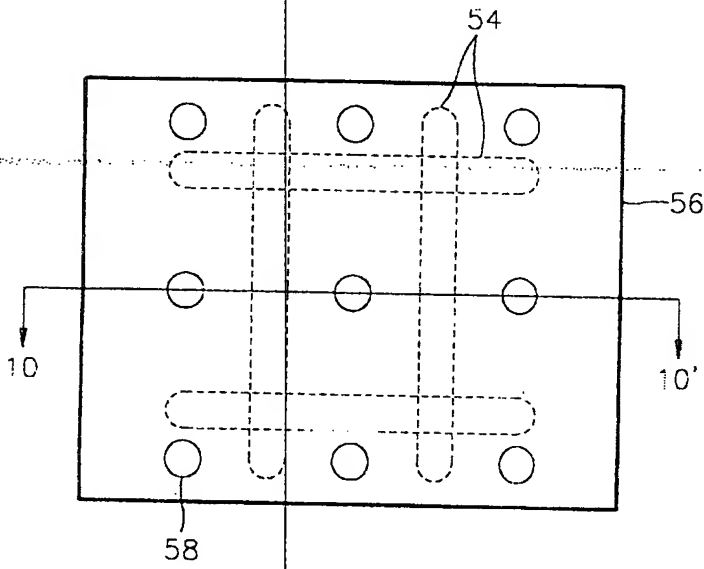


(b)

도면10

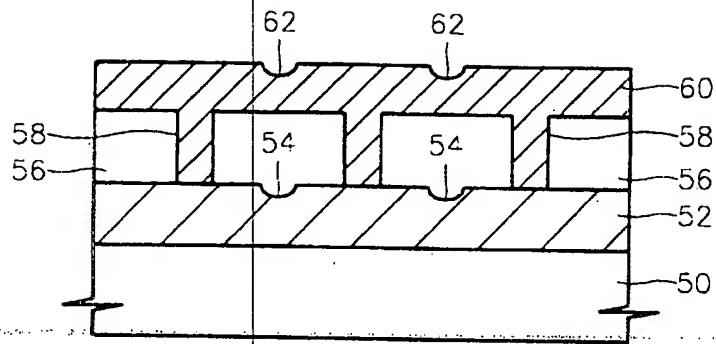


(a)

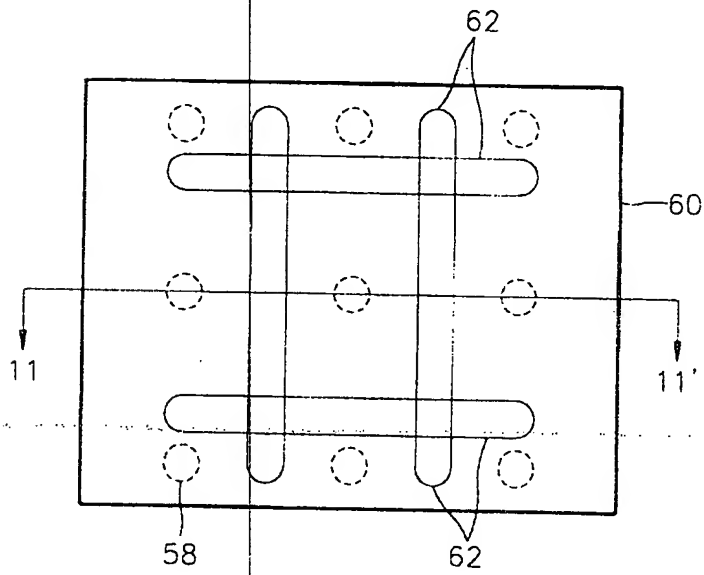


(b)

도면11

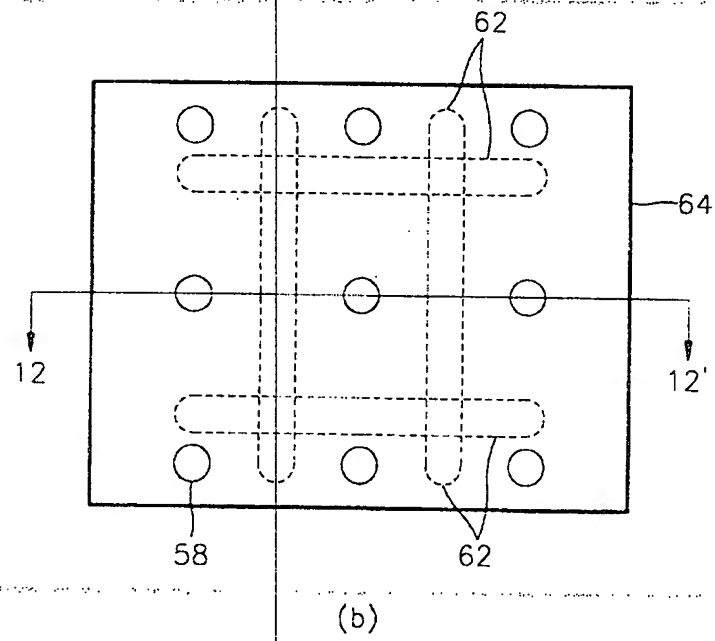
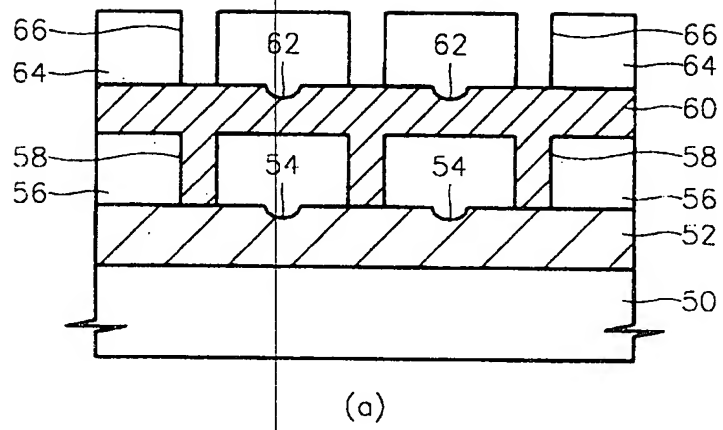


(a)



(b)

도면12.





XP-002266405

AN - 2001-120732 [13]

AP - [Div ex] US19990348830 19990708; US20010893456 20010629; [Div ex  
US6335567 ] ; KR19980041862 19981007; [Previous Publ. KR2000024999 ]

CPY - SMSU

- AHNJ-I

- LEEC-I

DC - U11

FS - EPI

IC - H01L21/28 ; H01L21/4763 ; H01L23/48 ; H01L23/52 ; H01L29/40

IN - AHN J H; LEE C H; AHN J; LEE C

MC - U11-C05D2

PA - (SMSU ) SAMSUNG ELECTRONICS CO LTD

- (AHNJ-I) AHN J

- (LEEC-I) LEE C

PN - US6555462 B2 20030429 DW200331 H01L21/4763 000pp

- KR2000024999 A 20000506 DW200113 H01L21/28 000pp

- US6335567 B1 20020101 DW200207 H01L23/48 000pp

- KR292407 B 20010601 DW200225 H01L21/28 000pp

- US2001035585 A1 20011101 DW200230 H01L23/48 015pp

PR - KR19980041862 19981007

XIC - H01L-021/28 ; H01L-021/4763 ; H01L-023/48 ; H01L-023/52 ; H01L-029/40

XP - N2002-187140

AB - KR2000024999 NOVELTY - The conductive layer patterns (44b) are formed on an interlayer dielectric film (42) which is formed on a substrate (40). Grooves (46) are formed on the conductive layer patterns. Width (D1) of the groove is narrower than the distance (D) between the conductive layer patterns.

- DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for the semiconductor device manufacturing method.

- USE - For semiconductor device.

- ADVANTAGE - Stress applied to the groove is dispersed along components that are vertical and horizontal to the conductive layer surface, therefore cracking of conductive layer due to stress is prevented. Since the area in which the material layer contacting the conductive layer is larger in the grooves formed on the conductive layer, the adhesive strength between the conductive layer and the material layer is increased.

- DESCRIPTION OF DRAWING(S) - The figure shows a sectional view of the semiconductor device.

- Substrate 40

- Interlayer dielectric film 42

- Conductive layer patterns 44b

- Grooves 46

- (Dwg.4/14)

IW - MULTILAYER LAMINATE STRUCTURE SEMICONDUCTOR DEVICE CONDUCTING LAYER  
PATTERN GROOVE WIDTH NARROW DISTANCE PATTERN

IKW - MULTILAYER LAMINATE STRUCTURE SEMICONDUCTOR DEVICE CONDUCTING LAYER  
PATTERN GROOVE WIDTH NARROW DISTANCE PATTERN

\*\*\*\*\* AHN J H; LEE C H; AHN J; LEE C

NC - 002

ORD - 2000-05-06

PAW - (SMSU ) SAMSUNG ELECTRONICS CO LTD

- (AHNJ-I) AHN J

- (LEEC-I) LEE C

TI - Multilayer laminated structure of semiconductor device, has conductive layer pattern with groove whose width is narrower than distance between patterns